

NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

Publication number: JP11086600

Publication date: 1999-03-30

Inventor: IBA TOMOHIWA; TOMOE MITSUHIRO

Applicant: MITSUBISHI ELECTRIC CORP; MITSUBISHI ELECTRIC ENG

Classification:

- international: G11C16/02; G11C16/06; G11C29/00; G11C29/12;
G11C16/02; G11C16/06; G11C29/00; G11C29/04;
(IPC1-7): G11C29/00; G11C16/02; G11C16/06

- european:

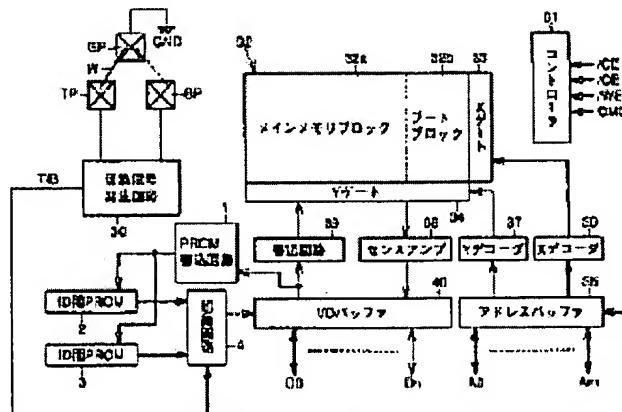
Application number: JP19970235768 19970901

Priority number(s): JP19970235768 19970901

[Report a data error here](#)

Abstract of JP11086600

PROBLEM TO BE SOLVED: To detect writing/reading defects of a device code during test by storing a first device code showing that a device is a top boot type with a first programmable ROM and storing a second device code showing that the device is a bottom boot type with a second programmable ROM. **SOLUTION:** In a writing circuit 1 in the PROM, an ID code which includes information of the effect that the device is the top boot type given from an external part via an I/O buffer 40 during a wafer test is written into the PROM 2 for ID, and the ID code which includes information of the effect that the device is the bottom up type given from the external part via the I/O buffer 40 is written into the PROM 3 for ID. The wafer test on whether each of PROMs 2, 3 for ID is normal or not is executed by successively applying a grounding potential GND to each of PROMs 2, 3 for ID and by reading the ID code. Writing is allowed during test by selecting two ID codes with a switching circuit 4.



Data supplied from the esp@cenet database - Worldwide

【特許請求の範囲】

【請求項1】 データの書換頻度が高いメインメモリブロックとデータの書換頻度が低いブートブロックとに分割されたメモリセルアレイを備え、前記ブートブロックのアドレスが前記メインメモリブロックのアドレスよりも上位に配置されたトップブートタイプと下位に配置されたボトムブートタイプとのいずれか一方に選択的に設定することが可能な不揮発性半導体記憶装置であって、第1および第2のパッドを含み、前記第1または第2のパッドに活性化電位が与えられたことに応じて、前記不揮発性半導体記憶装置を前記トップブートタイプまたはボトムブートタイプに設定するための第1または第2の信号を出力する信号発生手段、前記不揮発性半導体記憶装置が前記トップブートタイプであることを示す情報を含む第1のデバイスコードを記憶するための第1のプログラマブルROM、前記不揮発性半導体記憶装置が前記ボトムブートタイプであることを示す情報を含む第2のデバイスコードを記憶するための第2のプログラマブルROM、外部から与えられた前記第1および第2のデバイスコードをそれぞれ前記第1および第2のプログラマブルROMに書込むための書込手段、および前記信号発生手段から出力された前記第1または第2の信号に従って、前記第1のプログラマブルROMから読出された前記第1のデバイスコードまたは前記第2のプログラマブルROMから読出された前記第2のデバイスコードを外部に出力する出力手段を備える、不揮発性半導体記憶装置。

【請求項2】 前記信号発生手段は、さらに、前記活性化電位が与えられた第3のパッドを含み、前記信号発生手段の前記第1または第2のパッドは、前記不揮発性半導体記憶装置のアセンブリ工程においてボンディングワイヤによって前記第3のパッドに接続されて前記活性化電位を受け、前記書込手段は、前記不揮発性半導体記憶装置が半導体ウェハ上に形成されている状態で前記第1および第2のデバイスコードの書き込みを行なう、請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 データの書換頻度が高いメインメモリブロックと、データの書換頻度が低いブートブロックとに分割されたメモリセルアレイを備え、前記ブートブロックのアドレスが前記メインメモリブロックのアドレスよりも上位に配置されたトップブートタイプと下位に配置されたボトムブートタイプとのいずれか一方に選択的に設定することが可能な不揮発性半導体記憶装置であって、第1および第2のパッドを含み、前記第1または第2のパッドに活性化電位が与えられたことに応じて、前記不揮発性半導体記憶装置を前記トップブートタイプまたは前記ボトムブートタイプに設定するための第1または第2の信号を出力する信号発生手段、前記不揮発性半導体記憶装置が前記トップブートタイプ

10

であることを示す情報を含む第1のデバイスコードが格納された第1のマスクROM、前記不揮発性半導体記憶装置が前記ボトムブートタイプであることを示す情報を含む第2のデバイスコードが格納された第2のマスクROM、および前記信号発生手段から出力された前記第1または第2の信号に従って、前記第1のマスクROMから読出された前記第1のデバイスコードまたは前記第2のマスクROMから読出された前記第2のデバイスコードを外部に出力する出力手段を備える、不揮発性半導体記憶装置。

10

【請求項4】 前記信号発生手段は、さらに、前記活性化電位が与えられた第3のパッドを含み、前記信号発生手段の前記第1または第2のパッドは、前記不揮発性半導体記憶装置のアセンブリ工程においてボンディングワイヤによって前記第3のパッドに接続されて前記活性化電位を受ける、請求項3に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

20

【発明の属する技術分野】 この発明は不揮発性半導体記憶装置に関し、特に、メインメモリブロックとブートブロックとに分割されたメモリセルアレイを備え、トップブートタイプまたはボトムブートタイプに選択的に設定することが可能な不揮発性半導体記憶装置に関する。

【0002】

20

【従来の技術】 近年、コンピュータやワードプロセッサなどの情報処理装置の普及に伴い、情報処理装置内部で使用されるFlash型EEPROM (Electrically Erasable Programmable Read Only Memory ; 以下、フラッシュメモリと称す) が数多く開発されている。フラッシュメモリは、一般ユーザがデータの書換を行なうことが可能な不揮発性メモリである。

【0003】

30

このようなフラッシュメモリの一種として、通常の方法でデータの書換を行なうことが可能なメインメモリブロックと、特別な方法でしかデータの書換を行なうことができないブートブロックとにメモリセルアレイが分割されたブートフラッシュメモリも開発されている。ブートブロックにはBIOS (Basic Input Output System) のような書換頻度の低い、容易に消去されることは困る重要な情報が格納され、通常のデータはメインメモリブロックに格納される。

【0004】

40

一方、このブートフラッシュメモリが搭載される情報処理装置には、ブートブロックのアドレスを上位アドレスとするトップブート方式と、ブートブロックのアドレスを下位アドレスとするボトムブート方式がある。一般にブートフラッシュメモリは、ウェハ状態では両方式に対応可能に形成され、在庫状況などに応じてアセンブリ工程でトップブートタイプとボトムブートタイプとに振分けられる。

【0005】 図3は、そのようなブートフラッシュメモ

50

リの構成を示すブロック図である。図3を参照して、このブートフラッシュメモリは、グランドパッドGP、トップブート用パッドTP、ボトムブート用パッドBPおよび切換信号発生回路30を備える。グランドパッドGPは、外部から接地電位GNDを受ける。パッドTP、BPは、それぞれ切換信号発生回路30に接続される。

【0006】アセンブリ工程において、ボンディングワイヤWによりトップブート用パッドTPがグランドパッドGPに接続されると切換信号発生回路30の出力信号T/Bはたとえば「H」レベルとなり、ボトムブート用パッドBPがグランドパッドGPに接続されると信号T/Bは「L」レベルとなる。信号T/Bが「H」レベルの場合はフラッシュメモリはトップブートタイプとなり、信号T/Bが「L」レベルの場合はフラッシュメモリはボトムブートタイプとなる。

【0007】また、このブートフラッシュメモリは、コントローラ31、メモリセルアレイ32、Xゲート33、Yゲート34、アドレスバッファ35、Xデコーダ36、Yデコーダ37、センスアンプ38、書込回路39およびI/Oバッファ40を備え、メモリセルアレイ32はメインメモリブロック32aおよびブートブロック32bを含む。

【0008】コントローラ31は、外部から与えられる制御信号/C E, /O E, /WEおよびコマンド信号CMDに従って所定の動作モードを選択し、ブートフラッシュメモリ全体を制御する。

【0009】メモリセルアレイ32は、行列状に配列された複数のメモリセルを含む。各メモリセルには固有のアドレスが割当てられ、各メモリセルは1ビットのデータを記憶する。上述したように、書換頻度の低い重要なデータはブートブロック32bに格納され、通常のデータはメインメモリブロック32aに格納される。メモリセルアレイ32においては、ブートブロック32bのアドレスは、たとえばトップブート方式で割当てられる。

【0010】アドレスバッファ35は、外部からアドレス信号A0～Am(mは自然数である)を受けるとともに、切換信号発生回路30の出力信号T/Bを受ける。アドレスバッファ35は、信号T/Bが「H」レベルの場合(トップブートタイプの場合)は、トップブート方式で入力されたアドレス信号A0～AmをそのままXデコーダ36およびYデコーダ37の各々に選択的に与える。また、アドレスバッファ35は、信号T/Bが

「L」レベルの場合(ボトムブートタイプの場合)は、ボトムブート方式で入力されたアドレス信号A0～Amをトップブート方式に組換えてXデコーダ36およびYデコーダ37の各々に選択的に与える。

【0011】Xデコーダ36およびYデコーダ37は、アドレスバッファ35から与えられたアドレス信号に従って、アクセスすべきメモリセルのXアドレスおよびYアドレスを指定する。Xゲート33およびYゲート34

は、Xデコーダ36およびYデコーダ37によって指定されたアドレスのメモリセルをセンスアンプ38および書込回路39に接続する。

【0012】センスアンプ38は、Xゲート33およびYゲート34を介して選択されたメモリセルのデータD0～Dn(nは自然数である)を読み出し、I/Oバッファ40を介して外部に出力する。書込回路39は、I/Oバッファ40を介して外部から与えられたデータD0～DnをXゲート33およびYゲート34を介して選択されたメモリセルに書込む。

【0013】さらに、このブートフラッシュメモリは、PROM書込回路41およびID用PROM42を備える。PROM書込回路41は、アセンブリ後のファイナルテスト中に、I/Oバッファ40を介して外部から与えられたIDコード(デバイスコード)をID用PROM(Programmable Read Only Memory)42に書込む。IDコードは、ブートタイプ(トップブートタイプかボトムブートタイプか)、製造会社名、メモリ容量、名称などのデバイスに関する情報を含む。このフラッシュメモリが搭載された情報処理装置のCPUは、フラッシュメモリのIDコードを読み出し、それに応じた方法でフラッシュメモリを駆動させる。

【0014】次に、このブートフラッシュメモリの動作について簡単に説明する。まず、外部からコントローラ41に制御信号/C E, /O E, /WEおよびコマンド信号CMDが与えられてフラッシュメモリの動作モードが設定される。なお、ブートブロック32bのデータの書換時は、特別なコマンド信号CMDが入力される。

【0015】読出モード時は、アドレス信号A0～Amがアドレスバッファ35を介してXデコーダ36およびYデコーダ37に与えられ、デコーダ36, 37によってXアドレスおよびYアドレスが指定される。デコーダ36, 37によって指定されたアドレスのメモリセルはXゲート33およびYゲート34によってセンスアンプ38に接続され、そのメモリセルのデータがセンスアンプ38によって読み出される。読み出されたデータD0～Dnは、I/Oバッファ40を介して外部に出力される。

【0016】書込モード時は、読み出モード時と同様にして、アドレス信号A0～Amで指定されたメモリセルが書込回路39に接続される。書込回路39は、I/Oバッファ40を介して外部から与えられたデータD0～Dmをメモリセルに書込む。

【0017】【発明が解決しようとする課題】ところで、このようなフラッシュメモリでは、不良品が出荷されるのを防止するため、まずウェハ状態で各チップについて書き込み消去、読み出のテスト(ウェハテスト)を行ない、このテストに合格したチップのみをアセンブリし、アセンブリした各デバイスについて書き込み消去、読み出のテスト(ファイナルテスト)を再度行ない、ファイナルテストに合格

したデバイスのみを出荷している。

【0018】しかし、従来のフラッシュメモリでは、ワイヤボンディング後のファイナルテスト中にIDコードをID用PROM42に書き込むを得なかつたので、ID用PROM42に不具合があつた場合はアセンブリおよびファイナルテストのコストが無駄になるという問題があつた。

【0019】それゆえに、この発明の主たる目的は、ウェハテスト中にデバイスコードの書き込み/読み出しが検出することが可能な不揮発性半導体記憶装置を提供することである。

【0020】

【課題を解決するための手段】請求項1に係る発明は、データの書き換頻度が高いメインメモリブロックとデータの書き換頻度が低いブートブロックとに分割されたメモリセルアレイを備え、ブートブロックのアドレスがメインメモリブロックのアドレスよりも上位に配置されたトップブートタイプと下位に配置されたボトムブートタイプとのいずれか一方に選択的に設定することが可能な不揮発性半導体記憶装置であつて、信号発生手段、第1のプログラマブルROM、第2のプログラマブルROM、書き込み手段、および出力手段を備える。信号発生手段は、第1および第2のパッドを含み、第1または第2のパッドに活性化電位が与えられたことに応じて、不揮発性半導体記憶装置をトップブートタイプまたはボトムブートタイプに設定するための第1または第2の信号を出力する。第1のプログラマブルROMは、不揮発性半導体記憶装置がトップブートタイプであることを示す情報を含む第1のデバイスコードを記憶する。第2のプログラマブルROMは、不揮発性半導体記憶装置がボトムブートタイプであることを示す情報を含む第2のデバイスコードを記憶する。書き込み手段は、外部から与えられた第1および第2のデバイスコードをそれぞれ第1および第2のプログラマブルROMに書き込む。出力手段は、信号発生手段から出力された第1または第2の信号に従って、第1のプログラマブルROMから読み出された第1のデバイスコードまたは第2のプログラマブルROMから読み出された第2のデバイスコードを外部に出力する。

【0021】請求項2に係る発明では、請求項1に係る発明の信号発生手段は、さらに、活性化電位が与えられた第3のパッドを含み、信号発生手段の第1または第2のパッドは、不揮発性半導体記憶装置のアセンブリ工程においてボンディングワイヤによって第3のパッドに接続されて活性化電位を受け、書き込み手段は、不揮発性半導体記憶装置が半導体ウェハ上に形成されている状態で第1および第2のデバイスコードの書き込みを行なう。

【0022】請求項3に係る発明は、データの書き換頻度が高いメインメモリブロックとデータの書き換頻度が低いブートブロックとに分割されたメモリセルアレイを備え、ブートブロックのアドレスがメインメモリブロック

のアドレスよりも上位に配置されたトップブートタイプと下位に配置されたボトムブートタイプのうちのいずれか一方に選択的に設定することが可能な不揮発性半導体記憶装置であつて、信号発生手段、第1のマスクROM、第2のマスクROM、および出力手段を備える。信号発生手段は、第1および第2のパッドを含み、第1または第2のパッドに活性化電位が与えられたことに応じて、不揮発性半導体記憶装置をトップブートタイプまたはボトムブートタイプに設定するための第1または第2の信号を出力する。第1のマスクROMには、不揮発性半導体記憶装置がトップブートタイプであることを示す情報を含む第1のデバイスコードが格納される。第2のマスクROMには、不揮発性半導体記憶装置がボトムブートタイプであることを示す情報を含む第2のデバイスコードが格納される。出力手段は、信号発生手段から出力された第1または第2の信号に従って、第1のマスクROMから読み出された第1のデバイスコードまたは第2のマスクROMから読み出された第2のデバイスコードを外部に出力する。

【0023】請求項4に係る発明では、請求項3に係る発明の信号発生手段は、さらに、活性化電位が与えられた第3のパッドを含み、信号発生手段の第1または第2のパッドは、不揮発性半導体記憶装置のアセンブリ工程においてボンディングワイヤによって第3のパッドに接続されて活性化電位を受ける。

【0024】

【発明の実施の形態】

【実施の形態1】図1は、この発明の実施の形態1によるブートフラッシュメモリの構成を示すブロック図である。

【0025】図1を参照して、このブートフラッシュメモリが図3のブートフラッシュメモリと異なる点は、PROM書き回路41およびID用PROM42がPROM書き回路1、ID用PROM2、3および切換回路4で置換されている点である。

【0026】PROM書き回路1は、ウェハテスト中に、I/Oバッファ40を介して外部から与えられたトップブートタイプである旨の情報を含むIDコードをID用PROM2に書き込むとともに、I/Oバッファ40を介して外部から与えられたボトムブートタイプである旨の情報を含むIDコードをID用PROM3に書き込む。

【0027】切換回路4は、切換信号発生回路30の出力信号T/Bと、IDコード読み出しモード時にID用PROM2、3から読み出される2つのIDコードとを受ける。切換回路4は、信号T/Bが「H」レベルの場合（トップブートタイプの場合）はID用PROM2の出力コードをI/Oバッファ40に与え、信号T/Bが「L」レベルの場合（ボトムブートタイプの場合）はID用PROM3の出力コードをI/Oバッファ40に与

える。

【0028】ID用PROM2, 3の各々が正常か否かのウェハテストは、ID用PROM2, 3の各々にIDコードを書込んだ後、パッドTP, BPの各々に接地電位GNDを順次与えてIDコードを読出すことにより行なわれる。他の構成および動作は、図3のブートフラッシュメモリと同じであるので、その説明は繰返さない。

【0029】この実施の形態では、トップブートタイプのIDコードを格納するためのID用PROM2と、ボトムブートタイプのIDコードを格納するためのID用PROM3とを別々に設け、2つのID用PROM2, 3の出力コードのうちの一方を切換回路4で選択して出力するので、IDコードをウェハテスト中に書込むことができる。したがって、ID用PROMに不具合のあるチップをウェハテストの段階でリジェクトすることができ、ファイナルテスト段階でしかリジェクトできなかつた従来に比べ、アセンブリおよびファイナルテストのコストを削減できる。

【0030】【実施の形態2】図2は、この発明の実施の形態2によるブートフラッシュメモリの構成を示すブロック図である。

【0031】図2を参照して、このブートフラッシュメモリが図1のブートフラッシュメモリと異なる点は、PROM書回路1およびID用PROM2, 3がID用マスクROM10, 11で置換されている点である。

【0032】ID用マスクROM10には、ウェハプロセス中に、トップブートタイプである旨の情報を含むIDコードが書込まれる。ID用マスクROM11には、ウェハプロセス中に、ボトムブートタイプである旨の情報を含むIDコードが書込まれる。

【0033】切換回路4は、切換信号発生回路30の出力信号T/Bと、IDコード読出モード時にID用マスクROM10, 11から読出される2つのIDコードを受ける。切換回路4は、信号T/Bが「H」レベルの場合（トップブートタイプの場合）はID用マスクROM10の出力コードをI/Oバッファ40に与え、信号T/Bが「L」レベルの場合（ボトムブートタイプの場合）はID用マスクROM11の出力コードをI/Oバッファ40に与える。

【0034】ID用マスクROM10, 11が正常か否かのウェハテストは、パッドTB, BPの各々に接地電位GNDを順次与えてIDコードを読出することにより行なわれる。他の構成および動作は、図3のブートフラッシュメモリと同じであるので、その説明は繰返さない。

【0035】この実施の形態では、トップブートタイプのIDコードを書込んだID用マスクROM10とボトムブートタイプのIDコードを書込んだID用マスクROM11とを設け、2つのID用マスクROM10, 11の出力コードのうちの一方を切換回路4で選択して出力する。したがって、ID用マスクROM10, 11に

不具合のあるチップをウェハテストの段階でリジェクトすることができ、ファイナルテスト段階でしかリジェクトできなかつた従来に比べ、アセンブリおよびファイナルテストのコストを削減できる。

【0036】

【発明の効果】以上のように、請求項1に係る発明では、第1および第2のデバイスコードを書込むための第1および第2のプログラマブルROMを設け、それらから読出した第1および第2のデバイスコードのうちの一方を選択して出力する。したがって、デバイスコードの書き込みをウェハテスト中に行なうことができ、プログラマブルROMの不具合をウェハテスト時に検出することができる。よって、アセンブリおよびファイナルテストが無駄になるのを防止することができる。

【0037】請求項2に係る発明では、請求項1に係る発明の信号発生手段の第1または第2のパッドはアセンブリ工程においてボンディングワイヤによって第3のパッドに接続されて活性化電位を受け、第1および第2のデバイスコードの書き込みはウェハ状態で行なわれる。この場合は、第1または第2のパッドに活性化電位を容易かつ確実に与えることができる。

【0038】請求項3に係る発明では、第1および第2のデバイスコードが格納された第1および第2のマスクROMを設け、それらから読出した第1および第2のデバイスコードのうちの一方を選択して出力する。したがって、マスクROMの不具合をウェハテスト時に検出することができ、アセンブリおよびファイナルテストが無駄になるのを防止することができる。

【0039】請求項4に係る発明では、請求項3に係る発明の信号発生手段の第1または第2のパッドはアセンブリ工程においてボンディングワイヤによって第3のパッドに接続されて活性化電位を受ける。この場合は、第1または第2のパッドに活性化電位を容易かつ確実に与えることができる。

【図面の簡単な説明】

【図1】この発明の実施の形態1によるブートフラッシュメモリの構成を示すブロック図である。

【図2】この発明の実施の形態2によるブートフラッシュメモリの構成を示すブロック図である。

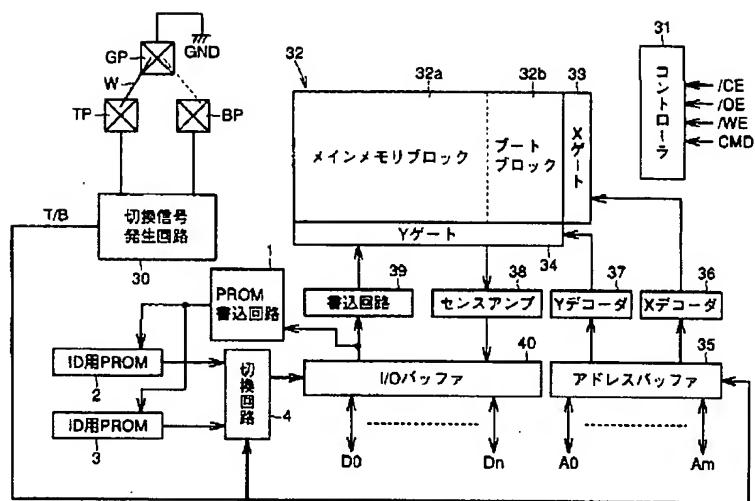
【図3】従来のブートフラッシュメモリの構成を示すブロック図である。

【符号の説明】

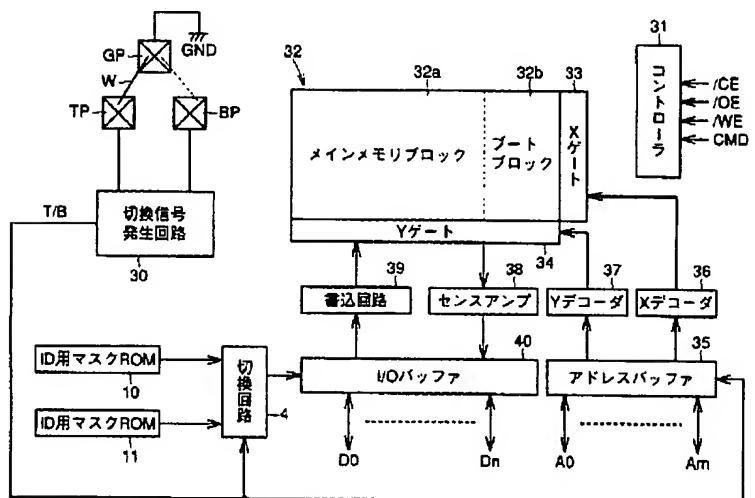
1, 41 PROM書回路、2, 3, 42 ID用PROM、4 切換回路、10, 11 ID用マスクROM、30 切換信号発生回路、31 コントローラ、32 メモリセルアレイ、32a メインメモリブロック、32b ブートブロック、33 Xゲート、34 Yゲート、35 アドレスバッファ、36 Xデコーダ、37 Yデコーダ、38 センスアンプ、39 書回路、40 I/Oバッファ、GP グランドパッド、TP

トップブート用パッド、BPボトムブート用パッド。

【図1】



【図2】



【図3】

